

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-052926

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G09G 3/36
G09G 3/20

(21)Application number : 09-210382

(71)Applicant : OKI MICRO DESIGN MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 05.08.1997

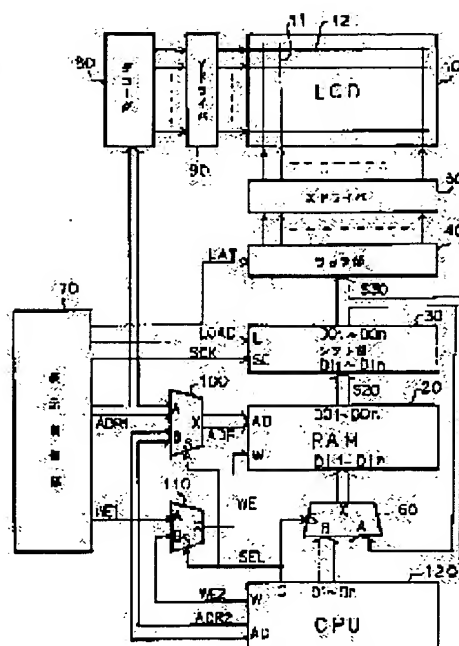
(72)Inventor : SATO HISATAKE

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which is allowed to scroll display without processing of a central processing unit CPU.

SOLUTION: Display data S20 read in parallel from RAM 20 is supplied to a shift section 30 and is loaded with a load signal LOAD to be shifted in the serial direction by a shift signal SCK. The shifted display data S30 is retained in a latch section 40 to be displayed on a liquid crystal display (LCD) 10. Next it is returned to the input data terminals DI1 to DI_n and retained in the same address of this RAM 20 again. At the time of scanning the LCD 10 next in the Y direction, the display data shifted from RAM 20 is read out and accordingly scroll display is enabled not through the processing of the CPU 120.



LEGAL STATUS

[Date of request for examination] 20.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-52926

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.^a

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

3/20

3/20

U

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平9-210382

(22) 出願日 平成9年(1997) 8月5日

(71) 出願人 591049893

株式会社沖マイクロデザイン宮崎
宮崎県宮崎市大和町9番2号

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 佐藤 久武

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

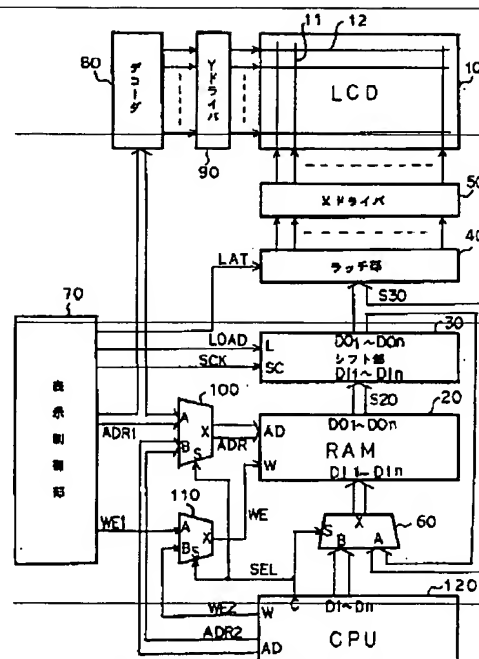
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 中央処理装置 (CPU) の処理を介さずにスクロール表示を行うことができる表示装置を提供する。

【解決手段】 RAM 20 から並列に読み出された表示データ S 20 は、シフト部 30 に与えられ、ロード信号 LOAD によってロードされた後、シフト信号 SCK によって直列方向にシフトされる。シフトされた表示データ S 30 は、ラッチ部 40 で保持されて液晶表示器 (LCD) 10 に表示される。更にシフトされた表示データ S 30 は、セクタ 60 を介して RAM 20 の入力データ端子 D I 1 ~ D I n に戻されて、再度この RAM 20 の同一アドレスに保持される。LCD 10 の次の Y 方向の走査時には、RAM 20 からシフトされた表示データが読み出されるので、CPU 120 の処理を介さずにスクロール表示が行われる。



本発明の第1の実施形態の表示装置

(2)

1

【特許請求の範囲】

【請求項1】 平行に配置された複数のX電極及び該X電極に直交して配置された複数のY電極を有し、該X電極に印加される表示用の駆動電圧及び該各Y電極に順次印加される走査用の駆動電圧に応じて、これらのX電極及びY電極の各交点における画素の表示が行われるドットマトリクス型の表示手段と、

書き込み信号に従って前記表示手段の画素に対応する表示データを記憶するとともに、順次与えられるアドレス信号に従って、該アドレス信号に対応する該表示データを前記複数のX電極に対する並列データ形式で出力する記憶手段と、

前記記憶手段から順次出力される並列データ形式の表示データをシフト信号に従って直列方向にシフトし、該シフトされた並列形式の表示データを前記記憶手段に再度記憶させるための表示データ、並びに前記表示手段に表示させるための表示信号として出力するシフト手段と、前記シフト手段から出力される表示信号を保持信号に従って保持するとともに、該保持した表示信号を出力する保持手段と、

前記保持手段の出力信号を前記表示手段のX電極に対する駆動電圧に変換して該X電極を駆動する第1の駆動手段と、

走査信号に基づいて前記表示手段の走査用の駆動電圧を生成して前記Y電極を駆動する第2の駆動手段と、前記アドレス信号、書き込み信号、シフト信号、及び保持信号を順次生成して出力する表示制御手段とを、備えたことを特徴とする表示装置。

【請求項2】 前記シフト手段は、第1から第N（但し、Nは2以上の整数）までの入力端子と、第1から第Nまでの出力端子と、選択端子とを有し、該シフト端子に前記シフト信号が与えられていないときには、該第1から第Nまでの入力端子に与えられた信号を、それぞれ該第1から第Nまでの出力端子に出力し、該選択端子に該シフト信号が与えられたときには、該第I（但し、IはN未満の整数）から第Nまでの入力端子に与えられた信号を、それぞれ該第1から第N-I+1までの出力端子に出力する選択回路で構成したことを特徴とする請求項1記載の表示装置。

【請求項3】 平行に配置された複数のX電極及び該X電極に直交して配置された複数のY電極を有し、該X電極に印加される表示用の駆動電圧及び該各Y電極に順次印加される走査用の駆動電圧に応じて、これらのX電極及びY電極の各交点における画素の表示が行われるドットマトリクス型の表示手段と、

書き込み信号に従って前記表示手段の画素に対応する表示データを記憶するとともに、順次与えられるアドレス信号に従って、該アドレス信号に対応する該表示データを前記複数のX電極に対する並列データ形式で出力する記憶手段と、

2

前記記憶手段から順次出力される並列データ形式の表示データをシフト信号に従って直列方向にシフトし、該シフトされた並列形式の表示データを前記表示手段に表示させるための表示信号として出力するシフト手段と、前記シフト手段から出力される表示信号を保持信号に従って保持するとともに、該保持した表示信号を出力する保持手段と、

前記保持手段の出力信号を前記表示手段のX電極に対する駆動電圧に変換して該X電極を駆動する第1の駆動手段と、

走査信号に基づいて前記表示手段の走査用の駆動電圧を生成して前記Y電極を駆動する第2の駆動手段と、前記アドレス信号、シフト信号、及び保持信号を順次生成して出力する表示制御手段とを、備えたことを特徴とする表示装置。

【請求項4】 前記記憶手段は、m（但し、mは2以上の整数）ワードの記憶領域に対応してそれぞれn+1（但し、nは2以上の整数）個のメモリスセルを有し、第1のアドレス信号が与えられたときには、該第1のアドレス信号で指定された該ワードのn+1個のメモリスセルに格納された第1の表示データを並列に出力し、第2のアドレス信号及びnビットの第2の表示データが与えられたときには、該第2のアドレス信号で指定された該ワードの内の第2番目から第n+1番目までのn個のメモリスセルに該第2の表示データを格納し、第3のアドレス信号及びmビットの第3の表示データが与えられたときには、該記憶領域の第1ワード目から第mワード目までの各ワードの第1番目のメモリスセルに該第3の表示データを1ビットずつ格納する構成としたことを特徴とする請求項1、2または3記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドットマトリクス型の表示装置、特に表示内容を左右にずらしながら表示するスクロール表示技術に関するものである。

【0002】

【従来の技術】図2は、従来のドットマトリクス型の表示装置の構成図である。この表示装置は、液晶表示器（以下、「LCD」という）1と、このLCD1に対する表示データを格納するためのランダム・アクセス・メモリ（以下、「RAM」という）2を有している。LCD1は、例えば120本のX電極1xと、これに直交する32本のY電極1yを持ち、これらの各交点に形成される横120ドット×縦32ドットの表示ドットによる画面表示を行うものである。RAM2は、LCD1上の横120ドット×縦32ドットの表示データを格納するための記憶装置である。RAM2の出力側には、ラッチ部3の入力側が接続されている。ラッチ部3は、RAM2から出力された120ドットのドットパターンを保持して出力するものであり、この出力側にはXドライバ4

50

(3)

3

の入力側が接続されている。Xドライバ4は、ドットパターンをLCD1のX電極1xに与えるための駆動電圧に変換するものであり、この出力側がLCD1の各X電極1xに接続されている。

【0003】表示装置は、更に、表示タイミングの基準となるクロック信号CKが印加されるカウンタ5を有している。カウンタ5は、クロック信号CKをカウントすることにより、LCD1の表示ライン（Y電極1y）を指定するアドレス信号ADRaを生成するものであり、この出力側がデコーダ6の入力側に接続されている。デコーダ6は、アドレス信号ADRaをデコードすることにより、LCD1の32本のY電極1yを上から下へ順番に1本ずつ駆動するための走査信号を生成するものである。デコーダ6の出力は、Yドライバ7の入力側に接続されている。Yドライバ7は、走査信号をLCD1のY電極1yに与えるための駆動電圧に変換するものであり、この出力側がLCD1の各Y電極1yに接続されている。カウンタ5の出力側には、更にセクタ8の入力端子Aが接続され、このセクタ8の入力端子Bには中央処理装置（以下、「CPU」という）9のアドレス端子ADが接続されている。セクタ8は、選択端子Sに与えられる選択信号SELに基づいて入力端子A、Bのいずれか一方を選択して出力端子Xに出力するものであり、この出力端子Xが、RAM2のアドレス端子ADに接続されている。

【0004】CPU9は、LCD1に表示に対する表示データをRAM2に格納するためのものであり、そのデータ端子D1～Dn及び書き込み制御端子Wが、RAM2のデータ入力端子DI1～DI n及び書き込み制御端子Wiに、それぞれ接続されている。更に、CPU9の制御端子Cはセクタ8の選択端子Sに接続されている。このような表示装置において、CPU9の制御端子Cから出力する選択信号SELによって、セクタ8を入力端子B側に切り替えるとともに、アドレス信号ADRa、データ信号D1～Dn、及び書き込み制御信号WEによって、RAM2の所定のアドレスに表示用のデータを書き込む。書き込みが終了すると、CPU9は、セクタ8に対する選択信号SELによって入力端子A側に切り替えるとともに、書き込み制御信号WEを不活性化する。これにより、RAM2に格納された表示データは、クロック信号CKに基づいて順次カウントアップされて与えられるカウンタ5からのアドレス信号ADRaに従って読み出され、LCD1の1行分に相当する120ドットのドットパターンがラッチ部3に保持される。ラッチ部3に保持されたドットパターンは、Xドライバ4によってLCD1のX電極1xに対応する駆動電圧に変換され、それぞれのX電極1xに印加される。

【0005】一方、カウンタ5から出力されるアドレス信号ADRaは、デコーダ6にも与えられており、LCD1のX電極1xに与えられたドットパターンに同期し

4

て、このデコーダ6から対応するY電極1yに対する走査信号が出力される。デコーダ6から出力された走査信号は、Yドライバ7によってLCD1のY電極1yに対応する駆動電圧に変換されて、該当するY電極1yに印加される。このように、Yドライバ7によってLCD1のY電極1yを上から下に順次走査するとともに、その走査されたY電極1yに対応する各ドット位置のドットパターンがRAM2から読み出され、Xドライバ4を介して各X電極1xに印加されて、グラフィック画面表示が行われる。

【0006】

【発明が解決しようとする課題】しかしながら、従来の表示装置では、次のような課題があった。例えば、LCD1に表示されている画面を、左から右へ順次ずらしながら表示するスクロール表示を行う場合、スクロールに応じてその都度CPU9からRAM2の全データを書き替える必要があった。このため、CPU9によるスクロール処理の負担が大きくなり、スクロール表示動作中に他の処理ができなくなってしまうたり、またCPU9の書き込み処理速度が遅い場合には、スクロール表示が不自然になるという課題があった。本発明は、前記従来技術が持っていた課題を解決し、CPU9の処理を介さずにスクロール表示を行うことができる表示装置を提供するものである。

【0007】

【課題を解決するための手段】前記課題を解決するため、本発明の内の第1の発明は、表示装置において、平行に配置された複数のX電極及び該X電極に直交して配置された複数のY電極を有し、該X電極に印加される表示用の駆動電圧及び該各Y電極に順次印加される走査用の駆動電圧に応じて、これらのX電極及びY電極の各交点における画素の表示が行われるドットマトリクス型の表示手段と、次のような記憶手段、シフト手段、保持手段、第1及び第2の駆動手段、及び表示制御手段を備えている。記憶手段は、書き込み信号に従って前記表示手段の画素に対応する表示データを記憶するとともに、順次与えられるアドレス信号に従って、該アドレス信号に対応する該表示データを前記複数のX電極に対する並列データ形式で出力するものである。シフト手段は、前記記憶手段から順次出力される並列データ形式の表示データをシフト信号に従って直列方向にシフトし、該シフトされた並列形式の表示データを前記記憶手段に再度記憶させるための表示データ、並びに前記表示手段に表示させるための表示信号として出力するものである。保持手段は、前記シフト手段から出力される表示信号を保持信号に従って保持するとともに、該保持した表示信号を出力するものである。

【0008】第1の駆動手段は、前記保持手段の出力信号を前記表示手段のX電極に対する駆動電圧に変換して該X電極を駆動するものであり、第2の駆動手段は、走

(4)

5

査信号に基づいて前記表示手段の走査用の駆動電圧を生成して前記 Y 電極を駆動するものである。そして、表示制御手段は、前記アドレス信号、書き込み信号、シフト信号、及び保持信号を順次生成して出力するものである。第 2 の発明は、第 1 の発明の表示装置におけるシフト手段を、第 1 から第 N (但し、N は 2 以上の整数) までの入力端子と、第 1 から第 N までの出力端子と、選択端子とを有し、該シフト端子に前記シフト信号が与えられていないときには、該第 1 から第 N までの入力端子に与えられた信号を、それぞれ該第 1 から第 N までの出力端子に出力し、該選択端子に該シフト信号が与えられたときには、該第 I (但し、I は N 未満の整数) から第 N までの入力端子に与えられた信号を、それぞれ該第 1 から第 N - I + 1 までの出力端子に出力する選択回路で構成している。

【0009】第 3 の発明は、表示装置において、第 1 の発明と同様の表示手段と、書き込み信号に従って前記表示手段の画素に対応する表示データを記憶するとともに、順次与えられるアドレス信号に従って、該アドレス信号に対応する該表示データを前記複数の X 電極に対する並列データ形式で出力する記憶手段と、前記記憶手段から順次出力される並列データ形式の表示データをシフト信号に従って直列方向にシフトし、該シフトされた並列形式の表示データを前記表示手段に表示させるための表示信号として出力するシフト手段と、第 1 の発明と同様の保持手段、並びに第 1 及び第 2 の駆動手段と、前記アドレス信号、シフト信号、及び保持信号を順次生成して出力する表示制御手段とを備えている。第 4 の発明は、第 1 から第 3 の発明の表示装置における記憶手段を、m (但し、m は 2 以上の整数) ワードの記憶領域に対応してそれぞれ n + 1 (但し、n は 2 以上の整数) 個のメモリセルを有し、第 1 のアドレス信号が与えられたときには、該第 1 のアドレス信号で指定された該ワードの n + 1 個のメモリセルに格納された第 1 の表示データを並列に出力するように構成している。また、第 2 のアドレス信号及び n ビットの第 2 の表示データが与えられたときには、該第 2 のアドレス信号で指定された該ワードの内の第 2 番目から第 n + 1 番目までの n 個のメモリセルに該第 2 の表示データを格納し、第 3 のアドレス信号及び m ビットの第 3 の表示データが与えられたときには、該記憶領域の第 1 ワード目から第 m ワード目までの各ワードの第 1 番目のメモリセルに該第 3 の表示データを 1 ビットずつ格納する構成としている。

【0010】第 1 及び第 2 の発明によれば、以上のように表示装置を構成したので、次のような作用が行われる。例えば、CPU 等から表示データが記憶手段に書き込まれると、この表示データはアドレス信号に応じて記憶手段から並列データ形式で出力され、シフト手段に与えられる。シフト手段に与えられた並列データは直列方向にシフトされ、再度記憶手段に記憶させるための表示

6

データとして出力される。このシフトされた表示データは、同時に保持手段にも与えられて保持され、第 1 の駆動手段によって駆動電圧に変換されて、表示手段の X 電極に与えられる。表示制御手段において、記憶手段、シフト手段、及び保持手段に対する各種の制御信号が順次生成され与えられるので、表示手段の X 電極に沿って順次シフトする表示が行われる。第 3 の発明によれば、次のような作用が行われる。記憶手段に記憶された表示データはアドレス信号に応じて並列データ形式で出力され、シフト手段に与えられる。シフト手段に与えられた並列データは、与えられるシフト信号に応じて直列方向にシフトされ、表示信号として出力される。表示信号は保持手段によって保持され、第 1 の駆動手段によって駆動電圧に変換されて、表示手段の X 電極に与えられる。表示制御手段において、記憶手段、シフト手段、及び保持手段に対する各種の制御信号が順次生成されて与えられるので、表示手段の X 電極に沿って順次シフトする表示が行われる。

【0011】第 4 の発明によれば、次のような作用が行われる。例えば、表示制御手段から第 1 のアドレスが与えられると、その第 1 のアドレスで指定されたワードに格納された n + 1 ビットの表示データが第 1 の表示データとして出力される。この第 1 の表示データはシフト手段によってシフトされ、第 2 の表示データとして第 2 のアドレス信号とともに記憶手段に与えられる。そして、第 2 のアドレス信号で指定されたワードの第 2 から第 n + 1 ビットのメモリセルに格納される。CPU 等から記憶手段に第 3 のアドレス信号と m ビットの表示データとが与えられると、この m ビットの表示データは各ワードの第 1 番目のメモリセルに 1 ビットずつ格納される。シフト手段によりシフトされた第 1 の表示データは、保持手段により保持され、第 1 の駆動手段によって駆動電圧に変換されて、表示手段の X 電極にあたえられる。表示制御手段において、記憶手段、シフト手段、及び保持手段に対する各種の制御信号が順次生成されて与えられるので、表示手段の X 電極に沿って順次シフトする表示が行われる。

【0012】

【発明の実施の形態】

第 1 の実施形態

図 1 は、本発明の第 1 の実施形態を示す表示装置の構成図である。この表示装置は、ドットマトリクス型の表示手段 (例えば、LCD) 10 と、この LCD 10 に対する表示データを格納するための記憶手段 (例えば、RAM) 20 を有している。LCD 10 は、例えば、120 本の X 電極 11 と、これに直交する 32 本の Y 電極 12 を持ち、これらの各交点に形成される横 120 ドット × 縦 32 ドットの表示ドットによる画面表示を行うものである。RAM 20 は、LCD 10 上の横 120 ドット × 縦 32 ドットの表示データを格納するための随時読み書

(5)

7

き可能な記憶装置である。RAM20のデータ出力端子DO1~DONには、シフト手段（例えば、シフト部）30のデータ入力端子DI1~DINがそれぞれ接続されている。シフト部30は、ロード端子Lにロード信号LOADが与えられたときに、データ入力端子DI1~DINに与えられているデータを並列に取り込み、シフト端子SCに与えられたシフト信号SCKに従って、その取り込んだデータを順次直列方向にシフトする機能を有している。そして、取り込まれてシフトされたデータは、データ出力端子DO1~DONから並列に出力されるようになっていく。

【0013】シフト部30のデータ出力端子DO1~DONには、保持手段（例えば、ラッチ部）40の入力側が接続されている。ラッチ部40は、シフト部30から出力されたn（ここでは、n=120）ビットのドットパターンを、ラッチ信号LATに従って保持して出力するものであり、この出力側には第1の駆動手段（例えば、Xドライバ）50の入力側が接続されている。Xドライバ50は、ドットパターンをLCD10のX電極11に与えるための駆動電圧に変換するものであり、この出力側がLCD10の各X電極11に接続されている。シフト部30のデータ出力端子DO1~DONは、またセクタ60の入力端子Aに接続されている。セクタ60は、入力端子Aの他に入力端子Bを有し、選択端子Sに与えられる選択信号SELに従って、入力端子A、Bのいずれか一方の入力信号を出力端子Xに出力するものである。セクタ60の出力端子Xは、RAM20のデータ入力端子DI1~DINに接続されている。この表示装置は、更に、表示用の各種のタイミング信号を生成する表示制御手段（例えば、表示制御部）70を有している。この表示制御部70では、LCD10の表示ライン（Y電極12）を指定するためのアドレス信号ADR1、RAM20のデータをシフト部30へ取り込むためのロード信号LOAD、シフト部30へ取り込んだデータをシフトするためのシフト信号SCK、シフト部30から出力されるデータをラッチ部40に取り込むためのラッチ信号LAT、及びシフト部30によってシフトされて出力されたドットパターンを再度RAM20に格納するための書き込み信号WE1を生成する機能を有している。

【0014】表示制御部70から出力されるロード信号LOAD、シフト信号SCKは、それぞれシフト部30のロード端子L、シフト端子SCに与えられ、ラッチ信号LATはラッチ部40に与えられている。表示制御部70から出力されるアドレス信号ADR1は、デコーダ80に与えられている。デコーダ80は、アドレス信号ADR1をデコードすることにより、LCD10の32本のY電極12を上から下へ順番に1本ずつ駆動するための走査信号を生成するものであり、この出力側が第2の駆動手段（例えば、Yドライバ）90の入力側に接続

8

されている。Yドライバ90は、走査信号をLCD10のY電極12に与えるための駆動電圧に変換するものであり、この出力側にLCD10の各Y電極12が接続されている。表示制御部70のアドレス信号ADR1は、更にセクタ100の入力端子Aに与えられ、書き込み信号WE1はセクタ110の入力端子Aに与えられている。セクタ100、110は、セクタ60と同様の機能を有しており、それらの出力端子Xは、それぞれRAM20のアドレス端子AD、及び書き込み制御端子Wに接続されている。

【0015】また、この表示装置は、LCD10に表示するためのデータを生成してRAM20に書き込むためのCPU120を有しており、このCPU120のデータ端子D1~1nがセクタ60の入力端子Bに、アドレス端子ADがセクタ100の入力端子Bに、書き込み制御端子Wがセクタ110の入力端子Bに、それぞれ接続されている。更に、CPU120の制御端子Cには、セクタ60、100、110の選択端子Sが共通接続されており、このCPU120からRAM20へデータを書き込むときに、選択信号SELによって各セクタの60、100、110の入力端子B側が選択されるようになっていく。図3は、図1中のシフト部30の一例を示す構成図である。このシフト部30は、n個のセクタ311~31nを有しており、これらのセクタ311~31nの入力端子Aに、データ入力端子DI1~DINがそれぞれ接続されている。セクタ311~31nの出力端子Xは、遅延型のフリップフロップ（以下、「FF」という）321~32nの入力端子Dに、それぞれ接続されている。FF321~32n-1の出力端子Qは、それぞれセクタ312~31nの入力端子Bに接続されるとともに、データ出力端子DO1~DON-1に接続されている。また、セクタ311の入力端子Bは、例えば接地電位GNDに接続され、FF32nの出力端子Qがデータ出力端子DONに接続されている。更に、各セクタ311~31nの選択端子Sは、ロード端子Lに共通接続され、各FF321~32nのクロック端子Cは、シフト端子SCに共通接続されている。

【0016】図4は、図1の表示装置の動作シーケンスを示すタイムチャートである。以下、図3及び図4を参照しつつ、図1の表示装置の動作を説明する。まず、CPU120からRAM20に、LCD10に対する表示データを書き込む場合、このCPU120の制御端子Cから出力される選択信号SELによって、セクタ60、100、110は、それぞれ入力端子B側に切り替えられる。そして、CPU120からアドレス信号ADR2、データ信号D1~Dn、及び書き込み制御信号WE2が出力され、RAM20の所定のアドレスに表示データが書き込まれる。書き込みが終了すると、CPU120は、選択信号SELによってセクタ60、100

(6)

9

0, 110を入力端子A側に切り替える。これによって、CPU120は、RAM20から切り離される。次に、図4の時刻t1において、表示制御部70のアドレス信号ADR1が、例えば、0番地に変化すると、これに伴って、RAM20の0番地に格納された表示データDT0（例えば、“1111・・・11”）が読み出され、信号S20としてシフト部30のデータ入力端子DI1～DInに、並列に与えられる。時刻t2において、ロード信号LOADが立ち上がると、シフト部30内の各セクタ311～31nでは入力端子A側が選択されて、データ入力端子DI1～DInに入力されたデータDT0がそれぞれのFF321～32nの入力側に与えられる。

【0017】時刻t3において、シフト信号SCKが立ち上がると、各FF321～32nの入力側に与えられた表示データDT0は、これらのFF321～32nに取り込まれ、各FF321～32nの出力側に出力される。時刻t4において、ロード信号LOADが立ち下がると、各セクタ311～31nでは入力端子B側が選択されて、前段のFF321～32n-1の出力信号が後段のFF322～32nの入力側に与えられる。また、FF321の入力側には、セクタ311の入力端子Bに与えられた固定値（例えば、“0”）が与えられる。時刻t5において、シフト信号SCKが立ち上がると、各FF321～32nの入力側に与えられていた表示データがこれらのFF321～32nに取り込まれて、FF321～32nの出力側に出力される。即ち、これによって、RAM20からシフト部30に与えられた表示データDT0は、1ビットだけシフトされる。これによって、シフト部30の出力信号S30は、表示データDT01（＝“0111・・・11”）となる。

【0018】更に、時刻t6において、シフト信号SCKが立ち上がると、各FF321～32nの入力側に与えられていたデータがこれらのFF321～32nに取り込まれて、FF321～32nの出力側に出力される。即ち、これによって、RAM20からシフト部30に与えられたデータDT0は、2ビットだけシフトされる。そして、2ビットシフトされた表示データDT02（＝“0011・・・11”）が、シフト部30のデータ出力端子DO1～DO nからの出力信号S30として出力される。時刻t7において、ラッチ信号LATと書き込み制御信号WE1が立ち上がる。この時、シフト部30から出力される表示データDT02は、セクタ60を介してRAM20のデータ入力端子DI1～DInに与えられているので、書き込み制御信号WE1の立ち上がりにより、このRAM20の0番地の内容は、表示データDT02に書き換えられる。また、ラッチ信号LATの立ち上がりにより、シフト部30から出力される表示データDT02が、1行分の120ドットのドットパターンとしてラッチ部40に保持される。ラッチ部

10

40に保持されたドットパターンは、Xドライバ50によって、LCD10のX電極11に対応する駆動電圧に変換され、それぞれのX電極11に印加される。

【0019】一方、表示制御部70から出力されるアドレス信号ADR1は、デコーダ80に与えられ、LCD10のX電極11に与えられたドットパターンに同期して、このデコーダ80から対応するY電極12に対する走査信号が出力される。デコーダ80から出力された走査信号は、Yドライバ90によってLCD10のY電極12に対応する駆動電圧に変換され、該当するY電極12に印加される。0番地の処理が終了すると、時刻t8において、アドレス信号ADR1が1番地に変更され、同様の処理が行われる。このように、アドレス信号をADR1を順次変更して、Yドライバ90によって、LCD10のY電極12を上から下に順次走査するとともに、その走査されたY電極12に対応する各ドット位置のドットパターンがRAM20から読み出され、シフト部30で例えば2ビット右にシフトされて、ラッチ部40で保持される。シフトされ、ラッチ部40に保持されたドットパターンは、Xドライバ50を介して各X電極11に印加されて、グラフィック画面表示が行われる。また、シフトされたドットパターンは、次の表示タイミングに備えて、RAM20に保持される。以上のように、第1の実施形態では、RAM20から読み出されたデータをシフトするシフト部30と、シフトされたデータを再びRAM20に格納するための制御を行う表示制御部70とを有している。これにより、CPU120によってRAM20のデータを書き替えることなく、表示画面を右方向に順次ずらして表示することが可能になり、CPU120の負荷を軽減し、かつ滑らかなスクロール表示を行うことができる。

【0020】第2の実施形態

図5は、本発明の第2の実施形態を示す表示装置の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。この実施形態の表示装置では、第1の実施形態の図1の表示装置のシフト部30に代えてこれと構成の異なるシフト部30Aを、表示制御部70に代えてこれと若干機能が異なる表示制御部70Aを、それぞれ設けている。その他の構成は図1と同様である。シフト部30Aは、データ入力端子DI1～DIn、データ出力端子DO1～DO n、及びシフト端子SFを有しており、シフト端子SFに与えられるシフト信号SFTが、例えば論理値“0”のときには、データ入力端子DI1～DInに与えられた信号を、それぞれデータ出力端子DO1～DO nに出力するものである。一方、シフト信号SFTが論理値“1”のとき、シフト部30Aは、データ入力端子DI1～DIn-1に与えられた信号を1ビットずらして、それぞれデータ出力端子DO2～DO nに出力する機能を有している。表示制御部70Aは、図1の表示制御部70と同様の、LCD10の表示

(7)

11

ライン(Y電極12)を指定するためのアドレス信号ADR1、シフト部30Aから出力される表示データをラッチ部40に取り込むためのラッチ信号LAT、及びシフト部30Aによってシフトされて出力されるデータを再度RAM20に記憶させるための書き込み信号WE1を生成するとともに、シフト部30Aに対するシフト信号SFTを生成して出力する機能を有している。

【0021】図6は、図5中のシフト部30Aの一例を示す構成図である。このシフト部30Aは、n個のセクタ33₁～33_nを有している。セクタ33₁の入力端子Aは、例えば接地電位GNDに接続され、入力端子Bはデータ入力端子DI1に接続されている。また、セクタ33_i(但し、i=2～n)の入力端子Aは、データ入力端子DI_{i-1}に接続され、入力端子Bが、データ入力端子DI_iに接続されている。セクタ33₁～33_nの出力端子Xは、それぞれデータ出力端子DO1～DONに接続され、これらのセクタ33₁～33_nの選択端子Sが、シフト端子SFに共通接続されている。

【0022】このような表示装置において、CPU120からRAM20への表示データの書き込み、及びラッチ部40で保持されたドットパターンのCLD10への表示動作は、図1の表示装置における動作と同様である。一方、RAM20から出力された表示データは、最初、シフト信号SFTが“0”にされることによりシフト部30Aを通してそのままラッチ部40に与えられて保持される。その後、シフト信号SFTが“1”にされることによって、RAM20から読み出された表示データは、1ビットずつずらされてシフト部30Aのデータ出力端子DO1～DONに出力される。そして、シフト部30Aによってシフトされた表示データは、RAM20のデータ入力端子DI1～DInに与えられ、このRAM20の同一番地に書き込まれる。従って、第1の実施形態と同様にCPU120によってRAM20のデータを書き替えることなく、表示画面を右方向に順次ずらして表示することが可能になり、CPU120の負荷を軽減し、かつ滑らかなスクロール表示を行うことができる。

【0023】第3の実施形態

図7は、本発明の第3の実施形態を示す表示装置の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。この実施形態の表示装置では、第1の実施形態の図1の表示装置におけるセクタ60、110を削除し、RAM20のデータ入力端子DI1～DInにCPU120のデータ端子D1～Dnを、RAM20の書き込み制御端子WにCPU120の書き込み制御端子Wを、それぞれ接続している。更に、表示制御部70に代えて、これと機能が若干異なる表示制御部70Bを設けている。その他の構成は図1と同様である。このような表示装置におけるCPU120からRAM20への

12

表示データの書き込み動作と、ラッチ部40で保持されたドットパターンのLCD10への表示動作は、図1の表示装置における動作と同様である。一方、シフト部30におけるシフト動作とシフトされた表示データの処理が、図1の表示装置における動作と異なっている。

【0024】図8は、図7の動作シーケンスを示すタイムチャートである。以下、図8を参照しつつ、図7の表示装置におけるシフト動作を説明する。まず、図8の時刻t11において、表示制御部70Bからアドレス信号ADR1として0番地が出力される。これにより、RAM20の0番地に格納されたnビットの表示データDT0(例えば、“1111・・・11”)を読み出されて、信号S20としてシフト部30のデータ入力端子DI1～DInに、並列に与えられる。時刻t12において、ロード信号LOADが立ち上がると、シフト部30内の各セクタ31₁～31_nでは入力端子A側が選択されて、データ入力端子DI1～DInに入力されたnビットの表示データDT0が、それぞれのFF32₁～32_nの入力側に与えられる。時刻t13において、シフト信号SCKが立ち上がると、各FF32₁～32_nの入力側に与えられた表示データDT0は、これらのFF32₁～32_nに取り込まれ、各FF32₁～32_nの出力側に出力される。時刻t14において、ロード信号LOADが立ち下がると、各セクタ31₁～31_nでは入力端子B側が選択されて、前段のFF32₁～32_{n-1}の出力信号が後段のFF32₂～32_nの入力側に与えられる。また、セクタ31₁の入力端子Bに与えられた固定値(例えば、“0”)が、FF32₁の入力側に与えられる。

【0025】時刻t15aにおいて、シフト信号SCKが立ち上がると、各FF32₁～32_nの入力側に与えられていた表示データが、これらのFF32₁～32_nに取り込まれ、FF32₁～32_nから出力される。これによって、RAM20からシフト部30に与えられた表示データDT0は、1ビットだけシフトされ、このシフト部30の出力信号S30は、表示データDT01(=“0111・・・11”)となる。更に、時刻t15b, t15c, ..., t15iにおけるシフト信号SCKの立ち上がり毎に、各FF32₁～32_nに与えられていた表示データが、これらのFF32₁～32_nに取り込まれ、FF32₁～32_nから出力される。即ち、時刻t15aからi(但し、iは自然数)回の連続するシフト信号SCKの立ち上がりによって、RAM20からシフト部30に与えられた表示データDT0は、iビットだけ右にシフトされ、信号S30としてラッチ部40に与えられる。そして、時刻t16において、ラッチ信号LATが立ち上がると、シフト部30から出力される信号S30は、1行分の120ドットのドットパターンとしてラッチ部40に保持される。ラッチ部40に保持されたドットパターンは、Xドライブ50によ

(8)

13

て、LCD10のX電極11に対応する駆動電圧に変換され、それぞれのX電極11に印加される。

【0026】一方、表示制御部70Bから出力されるアドレス信号ADR1は、デコーダ80に与えられ、このデコーダ80から、LCD10のX電極11に与えられたドットパターンに同期した走査信号が出力される。デコーダ80から出力された走査信号は、Yドライバ90によってLCD10のY電極12に対応する駆動電圧に変換され、該当するY電極12に印加される。0番地の処理が終了すると、時刻t17において、アドレス信号ADR1が1番地に変更され、同様の処理が行われる。このように、アドレス信号ADR1を順次変更することによって、LCD10のY電極12が上から下に順次走査され、その走査されたY電極12に対応する各ドット位置のドットパターンがRAM20から読み出される。読み出されたドットパターンは、シフト部30でiビットだけ右にシフトされて、ラッチ部40で保持される。シフトされラッチ部40に保持されたドットパターンは、更にXドライバ50を介して各X電極11に印加されて、グラフィック画面表示が行われる。

【0027】次に、アドレス信号が再び0番地に戻ったときには、今度は、シフト部30におけるシフト数がi+1ビットに変更され、LCD10上に、前回よりも右側に1ビットだけずれた画面表示が行われる。このように、各画面の走査毎に、シフト部30におけるシフト数を順次増加させることによって、左から右へ順次移動するように表示されるスクロール表示が可能になる。以上のように、第3の実施形態では、RAM20から読み出されたデータをシフト信号SCKに基づいてシフトするシフト部30と、画面毎にシフト数を変更する表示制御部70Bを有している。これにより、CPU120によってRAM20のデータを書き替えることなく、表示画面を右方向に順次ずらして表示することが可能になり、CPU120の負荷を軽減し、かつ滑らかなスクロール表示を行うことができる。

【0028】第4の実施形態

図9は、本発明の第4の実施形態を示す表示装置の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。この実施形態の表示装置では、第1の実施形態の図1の表示装置における一般的なRAM20に代えて、これと構成の異なるRAM20Aを設けている。更に、シフト部30に代えて、1ビットだけ入力ビット数を増加させて、n+1ビットのデータ入力端子DI0~DInを有するシフト部30Bを設けている。またCPU120に代えて、制御端子C1、C2を有するCPU120Aを設けている。一方、これらのRAM20A及びシフト部30Bを設けたことに伴って、セレクト100、110を削除している。RAM20Aは、複数のアドレス信号によって、同時に独立して読み書きのアクセスが可能なマルチポートRAMであり、アドレス

14

信号ADR1が与えられる第1のアドレス端子AD1、及びアドレス信号ADR2が与えられる第2のアドレス端子AD2を有している。また、アドレス信号ADR1、ADR2で指定されたアドレスに格納されたデータを出力するn+1ビットのデータ出力端子DO0~DON、及びこれらのアドレス信号ADR1、ADR2で指定されたアドレスに格納するデータを入力するnビットのデータ入力端子DI1~DInを有している。更にRAM20Aは、データ出力端子DO0に対応するデータを書き込むための記憶領域、この記憶領域を指定するためのアドレス端子AD0、及びこの記憶領域に格納するデータを入力するためのデータ入力端子DI01~DI0mを有している。

【0029】RAM20Aのアドレス端子AD1には、表示制御部70からのアドレス信号ADR1が与えられ、また、アドレス端子AD2にはCPU120Aからのアドレス信号ADR2が与えられている。RAM20Aのデータ入力端子DI01~DI0mは、CPU120Aのデータ端子D1~Dnの内のmビットのデータ端子D1~Dmに接続されている。そして、CPU120Aの制御端子C1はRAM20Aのアドレス端子AD0に、制御端子C2はセレクト60の選択端子Sに、それぞれ接続されている。その他の構成は図1と同様である。図10は、図9中のRAM20Aの一例を示す概略の構成図である。このRAM20Aは、平行に配置されたm本のワード線W_{Ai}（但し、i=1~m）と、これらのワード線W_{Ai}に直交するように配置されたn+1組のビット線対B_{Aj}、B_{Aj}/（但し、j=0~n、また、「/」は反転を意味する）を有している。各ワード線W_{Ai}とビット線対B_{Aj}、B_{Aj}/との交叉箇所には、メモリセル21_{i,j}が設けられている。各メモリセル21_{i,j}は、同一の構成となっており、メモリセル21_{i,j}は、FF22を構成する2つのインバータ22a、22b、このFF22とビット線対B_{Aj}、B_{Aj}/との接続を制御するためのMOSTランジスタ（以下、単に「MOS」という）23a、23b、及びFF22とビット線対B_{Bk}、B_{Bk}/（但し、k=1~n）、及びビット線対B_{Ci}、B_{Ci}/との接続を制御するためのMOS24a、24bを有している。

【0030】メモリセル21_{i,j}内のMOS23a、23bのゲートは、ワード線W_{Ai}に共通接続されている。また、メモリセル21_{i,0}内のMOS24a、24bのゲートはワード線W_Cに共通接続され、メモリセル21_{i,k}内のMOS24a、24bのゲートが、ワード線W_{Bi}に共通接続されている。ビット線対B_{Aj}、B_{Aj}/には、このビット線対B_{Aj}、B_{Aj}/に共通接続されたメモリセル21_{i,j}の内の、ワード線W_{Ai}で選択されたメモリセル21に対してデータを書き込むとともに、選択されたメモリセル21が保持しているデータを読み出すためのセンスアンプ（SA）25jが接続

(9)

15

されている。センスアンプ25jのデータ入出力側は、RAM20Aのデータ出力端子DO0~DONに接続されている。また、ビット線対BBk、BBk/には、このビット線対BBk、BBk/に共通接続されたメモリセル21_{i,k}の内の、ワード線WB_iで選択されたメモリセル21に対するセンスアンプ26kが接続されている。このセンスアンプ26kのデータ入出力側は、RAM20Aのデータ入力端子DI1~DInに接続されている。

【0031】更に、各センスアンプ21_{i,0}内のMOS24a、24bは、それぞれビット線対BC_i、BC_{i/}を介してセンスアンプ27iに接続されている。そして、このセンスアンプ27iのデータ入出力側が、RAM20Aのデータ入力端子DI01~DI0mに接続されている。ワード線WA_iは、図示しないアドレスデコーダの出力側に接続されており、RAM20Aのアドレス端子AD1に与えられるアドレス信号ARD1によって指定された1本のワード線WAが活性化されるようになっている。同様に、ワード線WB_iは、図示しないアドレスデコーダの出力側に接続されており、RAM20Aのアドレス端子AD2に与えられるアドレス信号ARD2によって指定された1本のワード線WBが活性化されるようになっている。このような表示装置において、RAM20Aに格納された表示データが読み出され、シフト部30Bでシフト信号SCKに従ってシフトされて、ドットパターンがLCD10に表示される表示処理は、図1の表示装置における動作とほぼ同様である。一方、CPU120AからRAM20Aへの表示データの書き込み処理が、図1の動作と異なっている。まず、CPU120AからRAM20Aに対して、LCD10の表示データを書き込む場合、このCPU120Aの制御端子C2から出力される選択信号SELによって、セクタ60が入力端子B側に切り替えられる。そして、CPU120Aからアドレス信号ADR2、及びデータ信号D1~Dnが出力され、RAM20Aのメモリセル21_{i,k}に順次表示データが格納される。

【0032】次に、CPU120Aの制御端子C1からRAM20Aにアドレス信号AD0が出力され、データ端子D1~Dmに表示データが出力される。これによって、RAM20A内のメモリセル21_{1,0}~21_{m,0}に、表示データが格納される。RAM20Aに格納された表示データは、表示制御部70から与えられるアドレス信号ADR1に従って読み出され、n+1ビットの並列データとしてシフト部30Bに与えられる。シフト部30Bに与えられたn+1ビットの並列データの内の最初のnビットは、ラッチ部40に出力されて保持される。また、シフト部30Bに与えられた並列データは、1ビットだけシフトされて信号S30としてセクタ60を介してRAM20Aのデータ入力端子DI1~DInに与えられる。これにより、RAM20Aのメモ

16

リセル21_{i,1}~21_{i,n}に格納されていた表示データは、ラッチ部40に保持されてLCD10に表示され、メモリセル21_{i,0}~21_{i,n-1}に格納されていた表示データが、メモリセル21_{i,1}~21_{i,n}に再び格納されることになる。

【0033】この様にして、1画面分の表示データが読み出されてシフトされた後、メモリセル21_{1,0}~21_{m,0}に対する新たな表示データが、CPU120Aから格納される。これによって、次の1画面の左端には、新たに格納された表示データが表示されることになり、この繰り返しによって次々に表示内容が更新されるスクロール表示が行われる。以上のように、第4の実施形態では、RAM20AにマルチポートRAMを使用し、スクロールによって新たに表示させる画面の表示データを画面左端の1列に対応するメモリセル21_{1,0}~21_{m,0}に順次書き込むようにしている。これにより、CPU120AによってRAM20Aの1列分のデータを1画面の表示毎に1回書き替えるだけで、表示画面を右方向に順次ずらしながら、新たな表示データを追加して表示することが可能になり、CPU120Aの負荷を軽減し、かつ滑らかなスクロール表示を行うことができる。なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の

(a)~(e)のようなものがある。

【0034】(a) すべて表示画面を左から右へずらして表示するスクロール表示について説明したが、右から左へスクロールすることも可能である。また、シフト部30、30A、30Bに代えて、左右両方向にシフト可能なシフトレジスタを使用することにより、左右両方向のスクロールを行うこともできる。

(b) 図3に例示したシフト部30では、シフトの度に最左端のデータが“0”に置き換えられるようになっているが、最右端のデータを最左端に戻すようにすることにより、ローテーション形のスクロール表示を行うことも可能である。

(c) 図1、図5、及び図7の表示装置では、通常のRAM20を用いているが、同時に2つの異なるアドレスに対してアクセス可能なマルチポートRAMを使用しても良い。これにより、回路構成を簡略化し、かつCPU120からの書き込みと、表示制御部70、70A、70Bからの読み出しの競合を回避することができる。

(d) RAM20、シフト部30、ラッチ部40、及びLCD10のX電極11のビット数はすべて同一数(nビット)となっているが、RAM20及びシフト部30のビット数をラッチ部40及びLCD10のビット数よりも多くしても良い。この様にして、RAM20側に新たなデータを書き込むことにより、シフトされた表示の後に新しい表示を行うことができる。

(e) 図6のシフト部30Aでは、セクタ33iの

入力端子A、Bにそれぞれ隣接する入力データ端子DI

(10)

17

$i-1$, DI_i が接続されているが、離れた入力データ端子 DI 、例えば、入力データ端子 DI_{i-1-a} , DI_i (但し、 a は整数)をそれぞれ接続しても良い。これにより、複数 (即ち、 $a+1$) ビット単位にシフトするスクロール表示を行うことができる。

【0035】

【発明の効果】以上詳細に説明したように、第1の発明によれば、記憶手段から出力される並列形式の表示データをシフトして表示手段に表示させるとともに、そのシフトした表示データを、再度記憶手段に表示データとして記憶させるシフト手段を設けている。これにより、CPU等から新たにシフトした表示データを記憶手段に格納する必要がなくなり、CPU等の負荷を軽減するとともに、スムーズなスクロール表示を行うことが可能になる。第2の発明によれば、シフト手段を選択回路で構成しているので、第1の発明の効果に加えて、回路構成が簡素化できるという効果がある。第3の発明によれば、記憶手段から出力される並列形式の表示データを、表示画面の走査毎に異なるビット数だけシフトして表示手段に表示させるシフト手段を設けている。これにより、第1及び第2の発明に比べて表示毎のシフト動作の回数は多くなるが、記憶手段に再格納をする必要がなくなるので、第1及び第2の発明の効果に加えて、更に回路構成を簡素化することができるという効果がある。第4の発明によれば、シフトされた記憶領域に対して新たな表示データを追加して書き込むことができるように構成された記憶手段を設けている。これにより、第1の発明の効果に加えて、CPU等から新たに表示データを追加するだけで順次スクロール表示を行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す表示装置の構成

【図3】

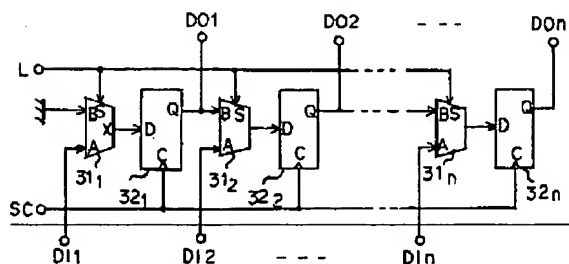


図1中のシフト部30

18

図である。

【図2】従来の表示装置の構成図である。

【図3】図1中のシフト部30の一例を示す構成図である。

【図4】図1の動作シーケンスを示すタイムチャートである。

【図5】本発明の第2の実施形態を示す表示装置の構成図である。

【図6】図5中のシフト部30Aの一例を示す構成図である。

【図7】本発明の第3の実施形態を示す表示装置の構成図である。

【図8】図7の動作シーケンスを示すタイムチャートである。

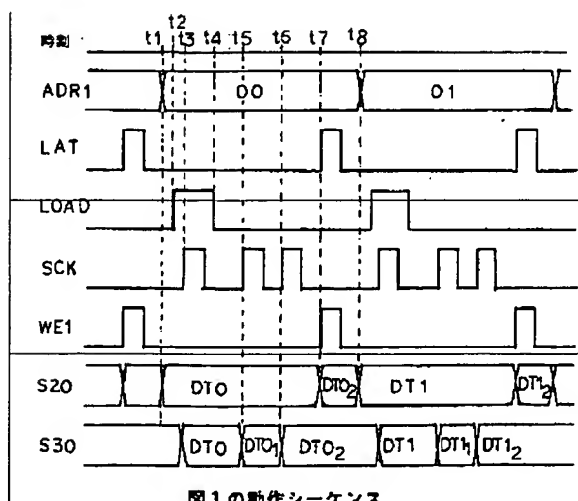
【図9】本発明の第4の実施形態を示す表示装置の構成図である。

【図10】図9中のRAM20Aの一例を示す概略の構成図である。

【符号の説明】

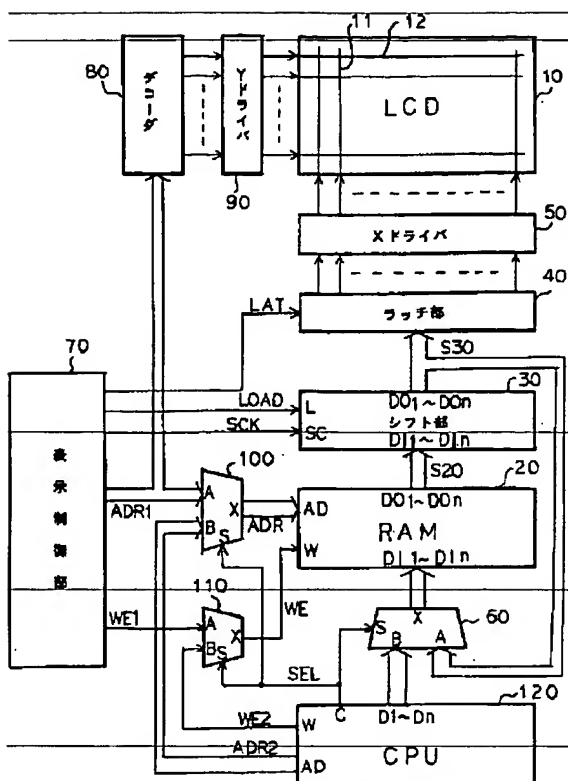
10	LCD
11	X電極
12	Y電極
20, 20A	RAM
21 _{i,j}	メモリセル
30, 30A, 30B	シフト部
40	ラッチ部
50	Xドライバ
60, 100, 110	セレクト
70, 70A, 70B	表示制御部
80	デコーダ
90	Yドライバ
120, 120A	CPU

【図4】



(11)

【図 1】



本発明の第１の実施形態の表示装置

【图 6】

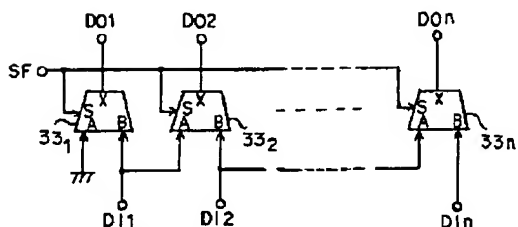


図5中のシフト部30A

【图 8】

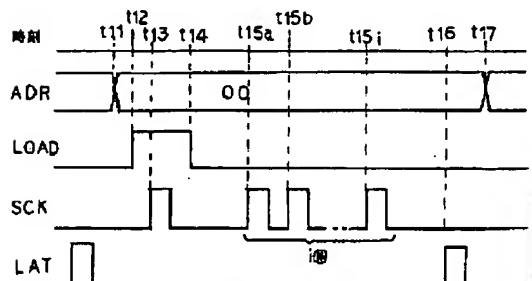
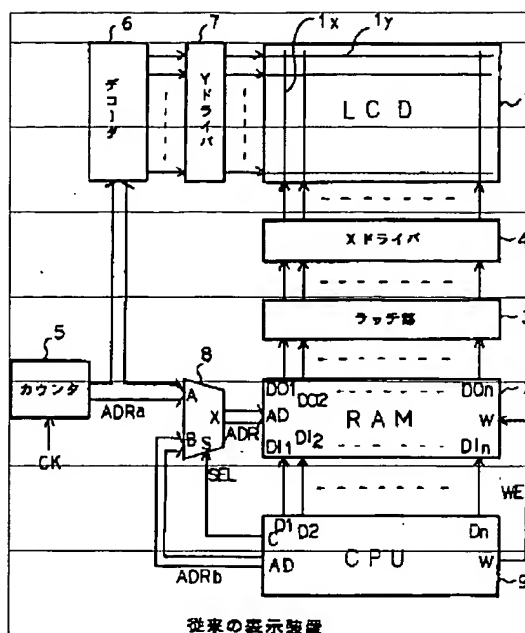


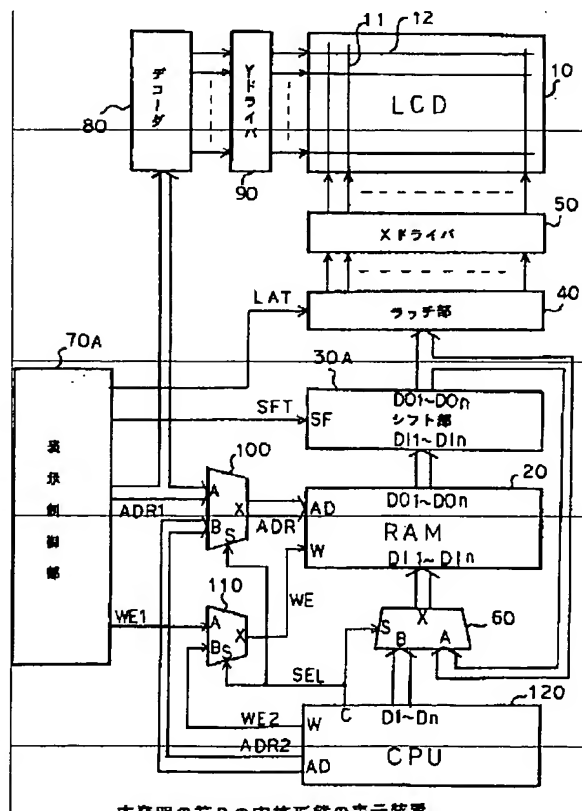
図7の動作シーケンス

【図 2】



従来の表示装置

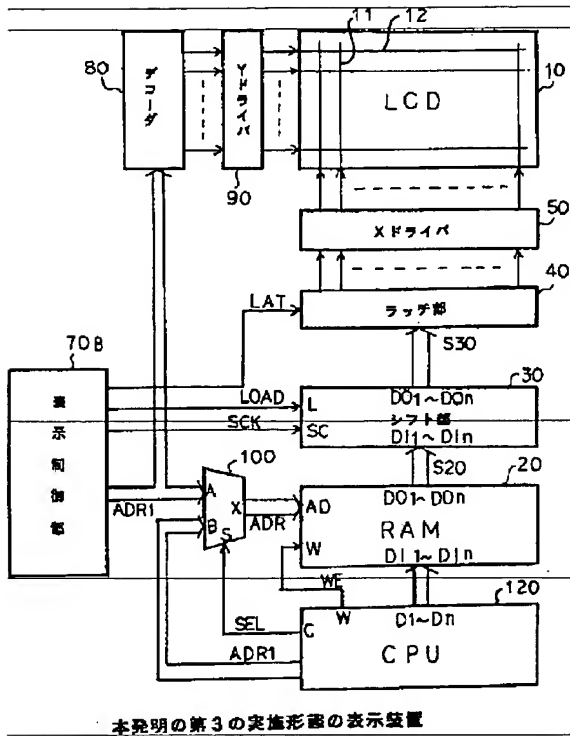
【图5】



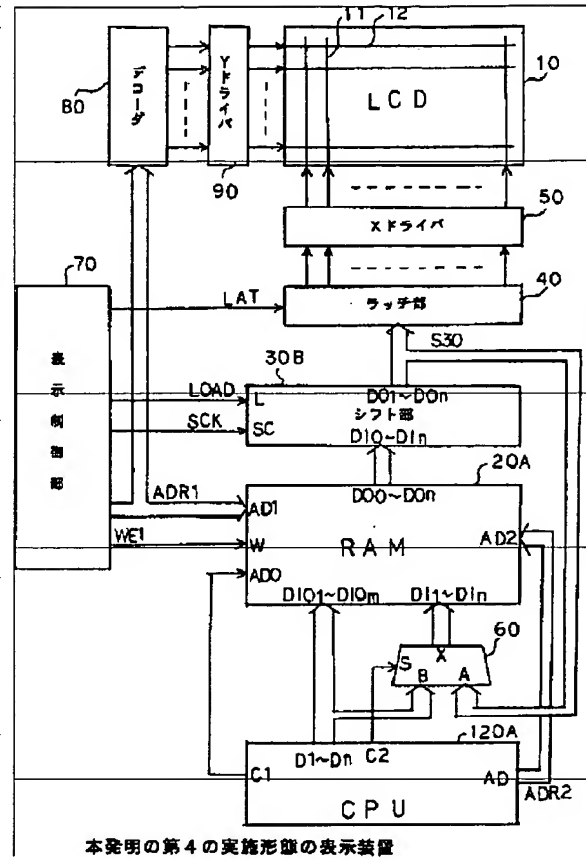
本発明の第2の実施形態の表示装置

(12)

【図7】



【図9】



【図10】

